

Patent



I fw

Customer No. 31561  
Application No.: 10/710,621  
Docket No. 11576-US-PA

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Applicant : Huang  
Application No. : 10/710,621  
Filed : Jul 26, 2004  
For : BUMPING PROCESS  
Examiner : N/A  
Art Unit : 2812

---

ASSISTANT COMMISSIONER FOR PATENTS  
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92120367,  
filed on: 2003/7/25.

A return prepaid postcard is also included herewith.

Respectfully Submitted,  
JIANQ CHYUN Intellectual Property Office

Dated: Nov. 15, 2004

By: Belinda Lee  
Belinda Lee  
Registration No.: 46,863

**Please send future correspondence to:**

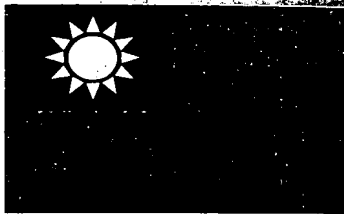
**7F-1, No. 100, Roosevelt Rd.,**

**Sec. 2, Taipei 100, Taiwan, R.O.C.**

**Tel: 886-2-2369 2800**

**Fax: 886-2-2369 7233 / 886-2-2369 7234**

**E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder.

申請日：西元 2003 年 07 月 25 日  
Application Date

申請案號：092120367  
Application No.

申請人：日月光半導體製造股份有限公司  
Applicant(s)

局長  
Director General

發文日期：西元 2004 年 8 月  
Issue Date

**CERTIFIED COPY OF  
PRIORITY DOCUMENT**

發文字號：09320779110  
Serial No.

申請日期：2003.7.25	IPC分類
申請案號：92120367	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	凸塊製程
	英文	Bumping process
二、 發明人 (共1人)	姓名 (中文)	1. 黃敏龍
	姓名 (英文)	1. Min-Lung Huang
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 高雄市三民區鼎勇街33巷2弄8號10樓
	住居所 (英文)	1. 10F, No. 8, Alley 2, Lane 33, Ting-yung St., San-min Chu, Kaohsiung, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26, Chin 3rd. Rd., 811, Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Chien-Sheng Chang



11576twf.pptd

四、中文發明摘要 (發明名稱：凸塊製程)

一種凸塊製程。此凸塊製程包括下列步驟：(a)提供一晶圓，晶圓具有多個鐳墊以及暴露出鐳墊的一保護層。(b)形成一金屬層於晶圓上，金屬層係至少覆蓋住鐳墊。(c)形成兩層或更多層光阻層於晶圓上，其中各光阻層分別具有不同的曝光/顯影特性。(d)對鐳墊上方之所有光阻層進行單次曝光，以形成多個階梯狀開口，且階梯狀開口暴露出金屬層。(e)將一鐳料填入每個階梯狀開口中，以形成多個鐳料塊。(f)撥除所有光阻層。此凸塊製程可僅使用單次曝光即可增加凸塊之高度，並使晶片與承載器之連接具有高可靠度。

伍、(一)、本案代表圖為：第\_\_\_\_4C\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

310：晶圓

314：鐳墊

六、英文發明摘要 (發明名稱：Bumping process)

A bumping process is described. The bumping process includes the following steps. (a) Providing a wafer that has a plurality of bonding pads and a passivation layer. The passivation layer exposes the bonding pads. (b) Forming a metal layer on the wafer to cover the bonding pads. (c) Forming two or more photoresist layers on the wafer. Each of the photoresist layers has



四、中文發明摘要 (發明名稱：凸塊製程)

316 : 保護層

318 : 球底金屬層

320a : 第一光阻層

320b : 第二光阻層

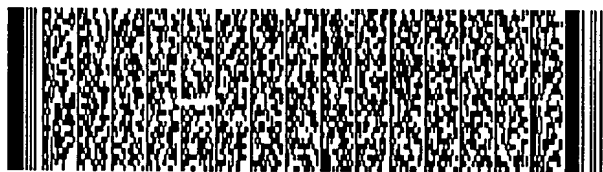
322 : 階梯狀開口

322a : 第一開口

322b : 第二開口

六、英文發明摘要 (發明名稱：Bumping process)

different characters of exposure and develops. (d) Forming a stair-shaped opening corresponding to the bonding pads in the photoresist layer respectively by once exposure to expose the metal layer. (e) Filling the solder into each of the stair-shaped openings to form a plurality of solder bumps. (f) Stripping the entire photoresist layer off. The bumping process can increase the



四、中文發明摘要 (發明名稱：凸塊製程)

六、英文發明摘要 (發明名稱：Bumping process)

height of bumps and make the connection between chip and carrier has high reliability.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



## 五、發明說明 (1)

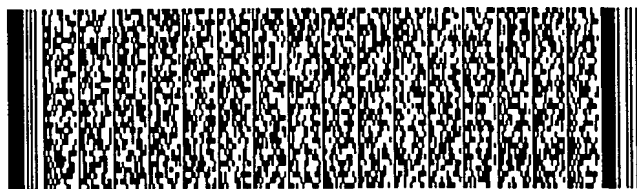
### 發明所屬之技術領域

本發明是有關於一種凸塊製程(bumping process)，且特別是有關於一種僅以單次曝光而形成階梯狀開口(stair-shaped opening)於光阻層中，以獲得具有更大高度之凸塊而加強晶片與承載器之連接可靠度(reliability)的凸塊製程。

### 先前技術

在高度情報化社會的今日，多媒體應用的市場不斷地急速擴張著。積體電路封裝技術亦需配合電子裝置的數位化、網路化、區域連接化以及使用人性化的趨勢發展。為達成上述的要求，必須強化電子元件的高速處理化、多功能化、積集化、小型輕量化及低價化等多方面的要求，於是積體電路封裝技術也跟著朝向微型化、高密度化發展。其中球格陣列式構裝(Ball Grid Array, BGA)，晶片尺寸構裝(Chip-Scale Package, CSP)，覆晶構裝(Flip Chip, F/C)，多晶片模組(Multi-Chip Module, MCM)等高密度積體電路封裝技術也應運而生。而所謂積體電路封裝密度所指的是單位面積所含有腳位(pin)數目多寡的程度。對於高密度積體電路封裝而言，縮短配線的長度有助訊號傳遞速度的提昇，是以凸塊的應用已漸成為高密度封裝的主流。

第1A～1F圖依序繪示一習知凸塊製程的剖面流程圖。請先參照第1A圖，首先提供一晶圓100。晶圓100具有多個鐳墊102，配置於晶圓100之表面上。此外，晶圓100還具





## 五、發明說明 (2)

有一保護層106，保護層106係覆蓋於晶圓100之表面上，並暴露出鐳墊102之表面。而且，晶圓100更具有一球底金屬層104(Under Bump Metallurgy, UBM)，配置於鐳墊102所暴露之表面及部份鄰近於鐳墊102之保護層106。

接著如第1B圖所示，於晶圓100之表面上形成一光阻層108。之後如第1C圖所示，利用曝光(Photography)及顯影(Development)等方式，在光阻層108上之對應於鐳墊102的位置，形成多個開口108a，並藉由開口108a暴露出球底金屬層104。

接著如第1D圖所示，利用印刷(Stencil Printing)的方式，在開口108a內填入鐳料，以於球底金屬層104上形成鐳料塊110。之後如第1E圖所示，移除光阻層108，以暴露出鐳料塊110。

最後如第1F圖所示，進行一迴鐳(Reflow)的動作，透過加熱的過程，使鐳料塊110處於微熔融的狀態下，並因為其內聚力的作用，而成為一類似球體的形狀。當鐳料塊110冷卻之後，便可在其對應的球底金屬層104上形成球狀之凸塊110a。

第2圖繪示為習知完成凸塊製程之晶片與印刷電路板之組合示意圖。請共同參照第1F圖與第2圖，當完成晶圓100之凸塊製程之後，將對晶圓100進行切割，以形成多個獨立分開之晶片100a。接著，請參照第2圖，此晶片100a係以覆晶接合的方式，藉由凸塊110a而電性連接於一承載器150之接點152，承載器150例如為一封裝基板或一印刷



### 五、發明說明 (3)

電路板。此外，更於晶片100a與承載器150之間填入一底膠140(Underfill)，用以保護凸塊110a所裸露出之部分。

值得注意的是，上述承載器與晶片在受熱時，由於熱膨脹係數(Thermal expansion coefficient)之差異，因此會發生兩者所產生的熱應變(Thermal strain)不匹配的現象，這也使得凸塊必須承受橫向之剪應力(Shear force)。當凸塊受到的剪應力超過其承受範圍時即會產生破裂，造成晶片與承載器之間的電性連接斷路。此外，藉由習知凸塊製程所形成之凸塊，因光阻層之開口的側壁係大致垂直於晶圓表面，故所能填入開口之鐸料的容積有限。因此，習知凸塊製程所完成之凸塊由於高度太低，所以容易被晶片與承載器間的熱應變所產生之剪應力破壞，使得封裝信賴性不佳。

為解決上述問題，一種習知凸塊製程被提出。第3A～3F圖依序繪示一習知凸塊製程的剖面流程圖。請先參照第3A圖，首先提供一晶圓210，晶圓210具有多個鐸墊214以及覆蓋晶圓210表面之一保護層216。其中，保護層216暴露出鐸墊214之表面。此外，多個球底金屬層218係覆蓋鐸墊214之表面。晶圓210上更藉由微影製程而配置有一第一圖案化光阻層220a，第一圖案化光阻層220a具有暴露球底金屬層218之表面的多個第一開口222a。接著請參照第3B圖與第3C圖，形成一第二圖案化光阻層220b，覆蓋於整個晶圓210之上。之後，利用微影製程在第二圖案化光阻層220b中，形成暴露出第一圖案化光阻層220a之第一開口



#### 五、發明說明 (4)

222a 的多個第二開口222b。其中，第二開口222b係大於第一開口222a。

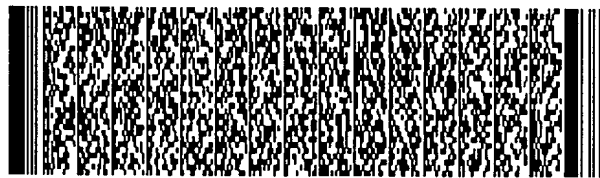
接著請參照第3D圖至第3F圖，將一焊料填入第一開口222a與第二開口222b中以形成多個鐳料塊230，並移除第一圖案化光阻層220a與第二圖案化光阻層220b。最後對鐳料塊230進行迴鐳，以使鐳料塊230形成球狀之凸塊232。

綜上所述，係先後使用兩次微影製程以形成兩層圖案化光阻層，並利用兩層圖案化光阻層所組成的階梯狀開口，達到增加凸塊的高度之目的。但是，兩次微影製程會造成整個生產製程的複雜度，且增加許多成本與製程時間，並不符合經濟效益。

#### 發明內容

因此，本發明的目的就是在提供一種凸塊製程，適於在不增加微影製程的狀況下，於光阻層中形成階梯狀開口以增加凸塊之高度，進而使晶片與承載器之間具有高可靠度之連接關係。

基於上述目的，本發明提出一種凸塊製程，包括下列步驟：(a)提供一晶圓，晶圓例如具有多個鐳墊以及用以保護晶圓並暴露出鐳墊的一保護層。(b)形成一金屬層於晶圓上，金屬層係至少覆蓋住鐳墊。(c)形成一第一光阻層於晶圓上。(d)形成一第二光阻層於第一光阻層上，其中第一光阻層與第二光阻層具有不同的曝光/顯影特性。(e)對鐳墊上方之第一光阻層與第二光阻層進行單次曝光，以於第一光阻層與第二光阻層中分別形成多個第一開



## 五、發明說明 (5)

口與多個第二開口，其中第一開口與對應之第二開口係構成多個階梯狀開口，且階梯狀開口例如係暴露出金屬層。

(f) 將一鍍料填入每個階梯狀開口中，以形成多個鍍料塊。(g) 撥除第一光阻層與第二光阻層。

此外，在第一光阻層與第二光阻層撥除之後，更對鍍料塊進行迴鍍，以於每個鍍料塊上方形成一凸塊。另外，第一開口例如係小於第二開口。第一光阻層例如係具有較低的光敏感度，且顯影速度較慢，而第二光阻層例如係具有較高的光敏感度，且顯影速度較快。在本實施例中所採用之第一光阻層與第二光阻層例如係液態光阻或是乾膜(dry film)。此外，本實施例之鍍料的填入方法例如係印刷或是電鍍。

基於上述目的，本發明再提出一種凸塊製程，包括下列步驟：(a) 提供一晶圓，晶圓例如具有多個鍍料墊以及用以保護晶圓並暴露出鍍料墊的一保護層。(b) 形成一金屬層於晶圓上，金屬層係至少覆蓋住鍍料墊。(c) 形成多層光阻層於晶圓上，其中各光阻層分別具有不同的曝光/顯影特性。(d) 對鍍料墊上方之所有光阻層進行單次曝光，以形成多個階梯狀開口，且階梯狀開口例如係暴露出金屬層。(e) 將一鍍料填入每個階梯狀開口中，以形成多個鍍料塊。(f) 撥除光阻層。

此外，在光阻層撥除之後，更對鍍料塊進行迴鍍，以於每個鍍料塊上方形成一凸塊。另外，各光阻層中較鄰近鍍料墊者例如係具有多個尺寸較小之開口，而各光阻層中較遠



## 五、發明說明 (6)

離於鐳墊者例如係具有多個尺寸較大之開口。各光阻層中較遠離鐳墊者例如係具有較高的光敏感度，且顯影速度較快，而各光阻層中較鄰近於鐳墊者例如係具有較低的光敏感度，且顯影速度較慢。在本實施例中所採用之光阻層例如係液態光阻或是乾膜。此外，本實施例之鐳料的填入方法例如係印刷或是電鍍。

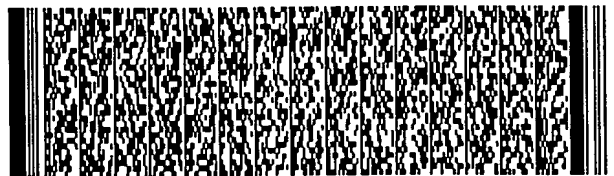
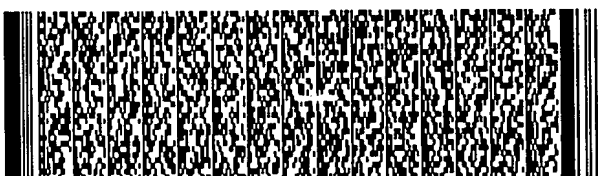
綜上所述，根據本發明所提出之凸塊製程，由於係於光阻層中形成階梯狀開口，並將製作凸塊之鐳料塊形成於階梯狀開口中，因此可較習知凸塊製程獲得具有更大高度之凸塊。而且，在形成階梯狀開口之製程中僅曝光一次。所以，根據本發明所提出之凸塊製程，不僅可使晶片與承載器之間的電性及機械性連接具有更高之可靠度，同時亦可節省多次曝光造成之成本與製程時間的增加。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

### 實施方式

#### [ 第一實施例 ]

請參照第4A～4F圖，其依序繪示本發明第一較佳實施例之凸塊製程的剖面流程圖。首先請參照第4A圖，提供一晶圓310，晶圓310例如具有多個鐳墊314以及用以保護晶圓310並暴露出鐳墊314的一保護層316。而且，每個鐳墊314上例如更配置有一金屬層圖案化後所形成之一球底金屬層318。

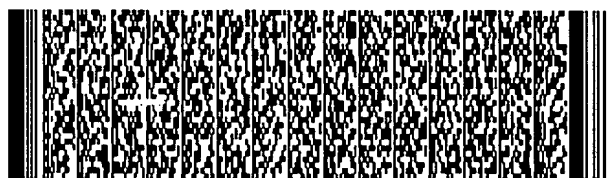
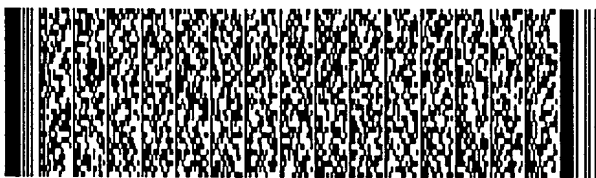


## 五、發明說明 (7)

此外，球底金屬層318例如係以濺鍍(Sputter)或蒸鍍(Evaporation)的方式製作，球底金屬層318例如係由黏著層(Adhesion layer)/阻障層(barrier layer)/沾附層(wetting layer)等三層金屬層(圖未示)所構成。其中，黏著層係用以加強球底金屬層318與鐳墊314之間的結合性，阻障層係用以阻絕移動離子(mobile ions)穿透球底金屬層318而擴散到晶圓310中，而沾附層係用以加強球底金屬層318與後續形成於其上之焊料(solder)的結合性。球底金屬層318之材質例如係鈦/鎳鈦合金/銅、鋁/鎳鈦合金/銅或是其他能達到上述目的之材質組合。

接著請參照第4B圖，形成一第一光阻層320a於晶圓310上，以覆蓋住球底金屬層318以及保護層316。之後，再形成一第二光阻層320b於第一光阻層320a上。其中，第一光阻層320a與第二光阻層320b例如係使用液態光阻經旋轉塗佈法(Spin coating)、軟烤等步驟所形成，或是藉由乾膜貼附的方式形成。此外，第一光阻層320a例如係具有較低的光敏感度，且顯影速度較慢，而第二光阻層320b例如係具有較高的光敏感度，且顯影速度較快。

接著請參照第4C圖，對球底金屬層318上方之第一光阻層320a與第二光阻層320b進行單次的微影製程，藉以於第一光阻層320a與第二光阻層320b中分別形成多個第一開口322a與第二開口322b。其中，第一開口322a例如係暴露出球底金屬層318。所有第二開口322b例如係配置於每一第一開口322a上方，並且與第一開口322a構成一階梯狀開



#### 五、發明說明 (8)

口322。值得注意的是，雖然第一光阻層320a與第二光阻層320b例如係僅採用一光罩(圖未示)進行單次微影製程，但是因為第一光阻層320a例如係具有較低的光敏感度且顯影速度較慢，而第二光阻層320b例如係具有較高的光敏感度且顯影速度較快，所以在相同之曝光條件下，所形成之第二開口322b的尺寸會大於第一開口322a的尺寸。

接著請參照第4D圖至第4F圖，本實施例例如係以印刷的方式將一鐳料填入每個階梯狀開口322中，以形成多個鐳料塊330。當然，熟習此項技術者在參照本案之技術內容後應可輕易推知，鐳料之填入亦可採用電鍍方式或是其他方式進行，只要調整將金屬層圖案化以形成球底金屬層318之步驟順序，唯此鐳料填入的方式並不影響本發明之階梯狀開口的特徵，故於此不再詳述。在鐳料填入之後，接著將剩餘之第一光阻層320a與第二光阻層320b撥除。最後，對鐳料塊330進行迴鐳，以於每個球底金屬層318上形成球狀之凸塊332。其中，迴鐳之方式例如係紅外線照射、熱風強制對流等。

承上述，本實施例之鐳料塊330的材質例如係錫鉛合金、高含鉛材料、錫銀銅合金、錫銀合金或是無鉛鐳料等。

#### [ 第二實施例 ]

為獲得具有更大高度之凸塊，本發明提出以下之第二實施例。請參照第5A～5F圖，其依序繪示本發明第二較佳實施例之凸塊製程的剖面流程圖。首先請參照第5A圖，提



## 五、發明說明 (9)

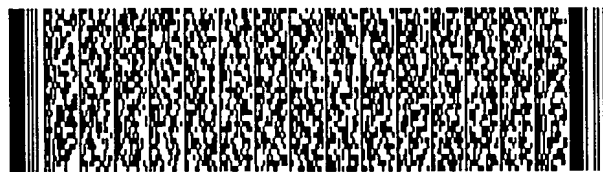
供一晶圓410，晶圓410例如具有多個鐳墊414以及用以保護晶圓410並暴露出鐳墊414的一保護層416。而且，每個鐳墊414上例如更配置有一金屬層圖案化後所形成之一球底金屬層418。

接著請參照第5B圖，形成多層光阻層420於晶圓410上，以覆蓋住球底金屬層418以及保護層416。其中，光阻層420中越遠離鐳墊414者例如係具有越高的光敏感度，且顯影速度越快，而各光阻層420中較鄰近於鐳墊414者例如係具有越低的光敏感度，且顯影速度越慢。

接著請參照第5C圖，對球底金屬層418上方之所有光阻層420進行單次的微影製程，藉以於光阻層420b中形成多個階梯狀開口422。其中，階梯狀開口422例如係暴露出球底金屬層418。值得注意的是，雖然所有光阻層420例如係僅採用一光罩(圖未示)進行單次微影製程，但是因為各光阻層420例如係具有不同的光敏感度與顯影速度，所以在相同之曝光條件下，各光阻層中所形成之開口的尺寸會不同，進而形成階梯狀開口422。

接著請參照第5D圖至第5F圖，首先形成多個鐳料塊430於階梯狀開口422中。之後，將剩餘之光阻層420撥除。最後，對鐳料塊430進行迴鐳，以於每個球底金屬層418上形成球狀之凸塊432。

值得注意的是，在第二實施例中由於採用更多層光阻層，因此可提高階梯狀開口之高度，進而增加凸塊之高度。當然，光阻層之數量並不侷限於實施例中所提，亦可





#### 五、發明說明 (10)

為其他適合製程之選擇。

綜上所述，在根據本發明所提出之凸塊製程中，僅以單次曝光而形成具有大容積之階梯狀開口於光阻層中，可較習知凸塊製程獲得具有更大高度的凸塊。因此，在晶圓切割成多個晶片，並以覆晶接合技術與承載器電性及機械性連接後，更大高度之凸塊將可降低熱應力對凸塊所造成之剪應力。所以，根據本發明所提出之凸塊製程僅使用單次曝光，即可使晶片與承載器之間的電性及機械性連接具有更高之可靠度，同時降低生產成本與時間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

第1A～1F圖依序繪示一習知凸塊製程的剖面流程圖。

第2圖繪示為習知完成凸塊製程之晶片與印刷電路板之組合示意圖。

第3A～3F圖依序繪示一習知凸塊製程的剖面流程圖。

第4A～4F圖依序繪示根據本發明所提出第一較佳實施例之凸塊製程的剖面流程圖。

第5A～5F圖依序繪示根據本發明所提出第二較佳實施例之凸塊製程的剖面流程圖。

### 【圖式標示說明】

100、210：晶圓

100a：晶片

102、214：鐳墊

106、216：保護層

104、218：球底金屬層

108：光阻層

108a：開口

110、230：鐳料塊

110a、232：凸塊

140：底膠

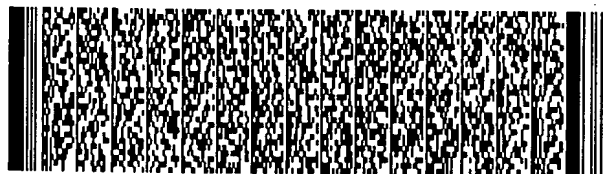
150：承載器

152：接點

220a：第一圖案化光阻層

220b：第二圖案化光阻層

222a：第一開口



圖式簡單說明

222b : 第二開口  
310、410 : 晶圓  
314、414 : 鐳墊  
316、416 : 保護層  
318、418 : 球底金屬層  
320a : 第一光阻層  
320b : 第二光阻層  
322、422 : 階梯狀開口  
322a : 第一開口  
322b : 第二開口  
330、430 : 鐳料塊  
332、432 : 凸塊  
420 : 光阻層



## 六、申請專利範圍

1. 一種凸塊製程，至少包括下列步驟：

提供一晶圓，該晶圓具有複數個鐳墊以及用以保護該晶圓並暴露出該些鐳墊的一保護層；

形成一金屬層於該晶圓上，該金屬層係至少覆蓋住該些鐳墊；

形成一第一光阻層於該晶圓上，以覆蓋住該些鐳墊以及該保護層；

形成一第二光阻層於該第一光阻層上，其中該第一光阻層與該第二光阻層具有不同的曝光/顯影特性；

對該些鐳墊上方之該第一光阻層與該第二光阻層進行單次曝光，以於該第一光阻層中形成複數個第一開口，並於該第二光阻層中形成複數個第二開口，其中該些第一開口與對應之該些第二開口係構成複數個階梯狀開口，且該些階梯狀開口係暴露出該金屬層；

將一鐳料填入該些階梯狀開口中，以形成複數個鐳料塊；以及

撥除該第一光阻層以及該第二光阻層。

2. 如申請專利範圍第1項所述之凸塊製程，其中該些光阻層撥除之後，更包括迴鐳該些鐳料塊，以於該金屬層上形成複數個凸塊。

3. 如申請專利範圍第1項所述之凸塊製程，其中該些第一開口小於該些第二開口。

4. 如申請專利範圍第1項所述之凸塊製程，其中該第一光阻層具有較低的光敏感度，且顯影速度較慢，而該第



## 六、申請專利範圍

二光阻層具有較高的光敏感度，且顯影速度較快。

5. 如申請專利範圍第1項所述之凸塊製程，其中該第一光阻層包括液態光阻以及乾膜其中之一。

6. 如申請專利範圍第1項所述之凸塊製程，其中該第二光阻層包括液態光阻以及乾膜其中之一。

7. 如申請專利範圍第1項所述之凸塊製程，其中該鐳料的填入方法包括電鍍以及印刷其中之一。

8. 一種凸塊製程，至少包括下列步驟：

提供一晶圓，該晶圓具有複數個鐳墊以及用以保護該晶圓並暴露出該些鐳墊的一保護層；

形成一金屬層於該晶圓上，該金屬層係至少覆蓋住該些鐳墊；

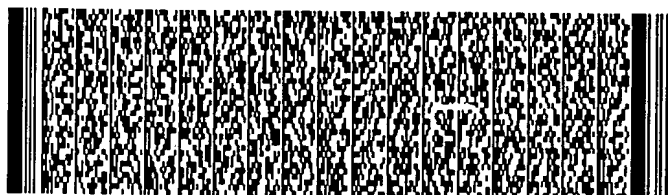
形成複數個光阻層於該晶圓上，以覆蓋住該些鐳墊以及該保護層，其中該些光阻層具有不同的曝光/顯影特性；

對該些鐳墊上方之該些光阻層進行單次曝光，以形成複數個階梯狀開口，且該些階梯狀開口係暴露出該金屬層；

將一鐳料填入該些階梯狀開口中，以形成複數個鐳料塊；以及

撥除該些光阻層。

9. 如申請專利範圍第8項所述之凸塊製程，其中該些光阻層撥除之後，更包括迴鐳該些鐳料塊，以於該金屬層上形成複數個凸塊。



#### 六、申請專利範圍

10. 如申請專利範圍第8項所述之凸塊製程，其中該些光阻層中較鄰近該些鐳墊者具有複數個尺寸較小之開口，而該些光阻層中較遠離於該些鐳墊者具有複數個尺寸較大之開口。

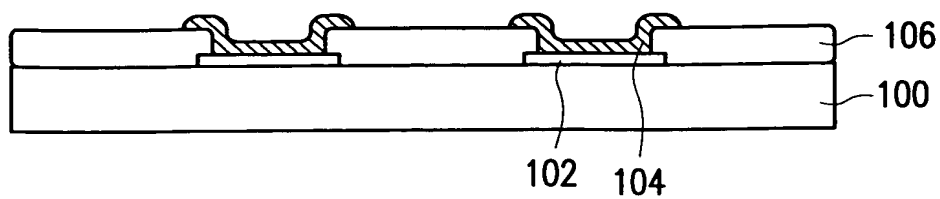
11. 如申請專利範圍第8項所述之凸塊製程，其中該些光阻層中較遠離該些鐳墊者具有較高的光敏感度，且顯影速度較快，而該些光阻層中較鄰近於該些鐳墊者具有較低的光敏感度，且顯影速度較慢。

12. 如申請專利範圍第8項所述之凸塊製程，其中該些光阻層包括液態光阻。

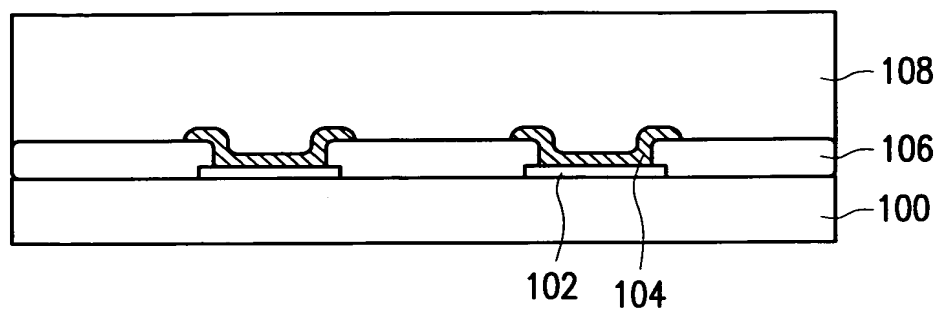
13. 如申請專利範圍第8項所述之凸塊製程，其中該些光阻層包括乾膜。

14. 如申請專利範圍第8項所述之凸塊製程，其中該鐳料的填入方法包括電鍍以及印刷其中之一。

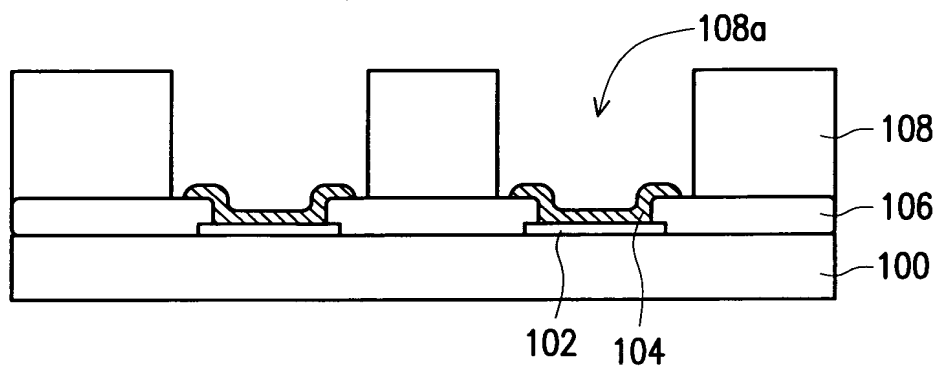




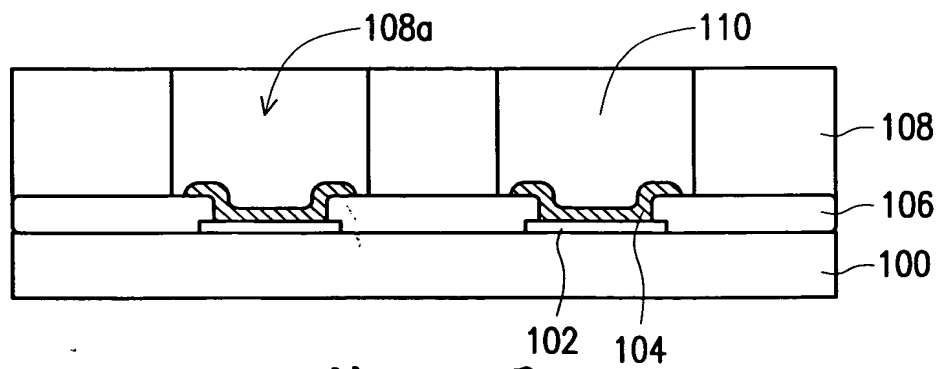
第 1A 圖



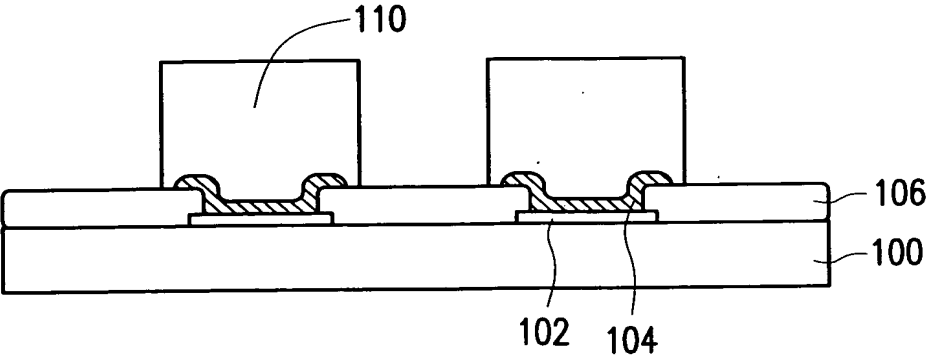
第 1B 圖



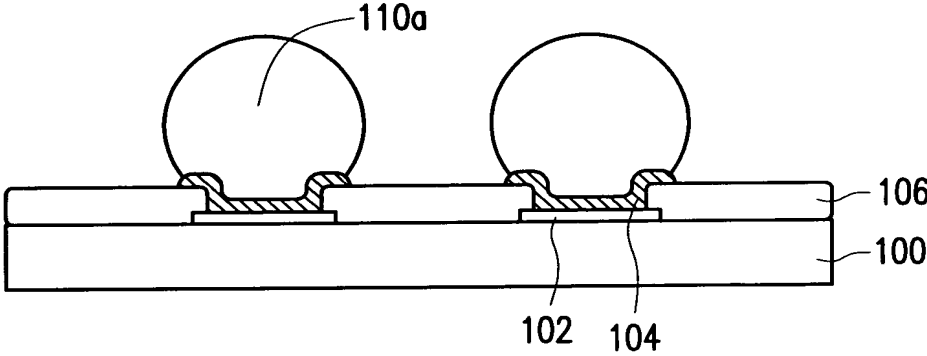
第 1C 圖



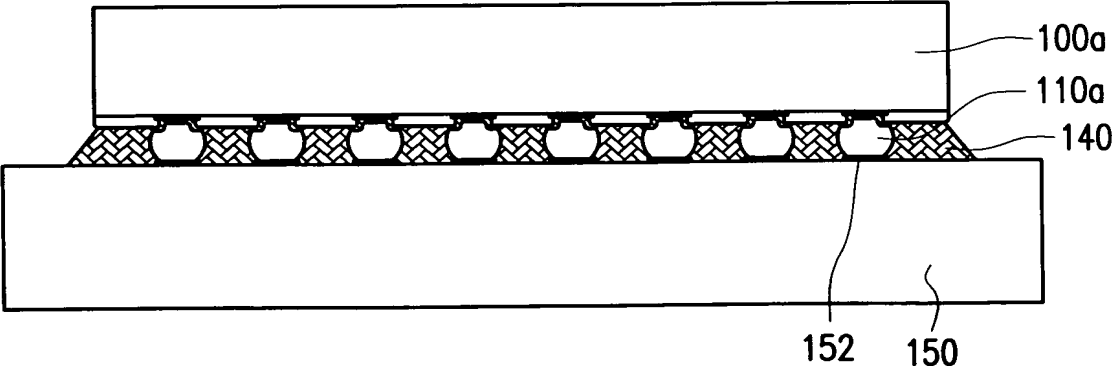
第 1D 圖



第 1E 圖

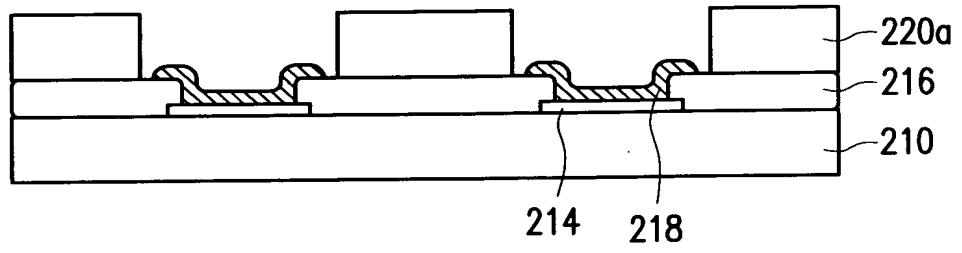


第 1F 圖

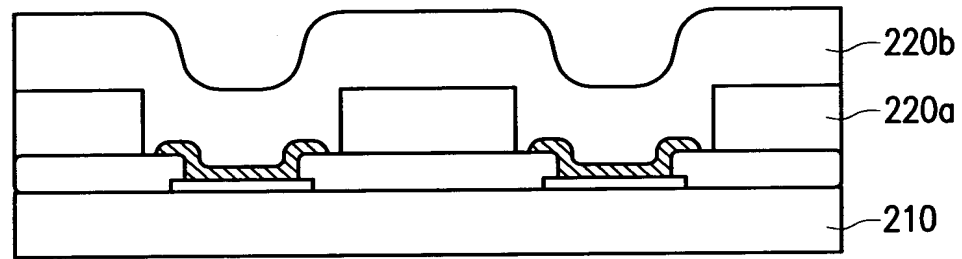


第 2 圖

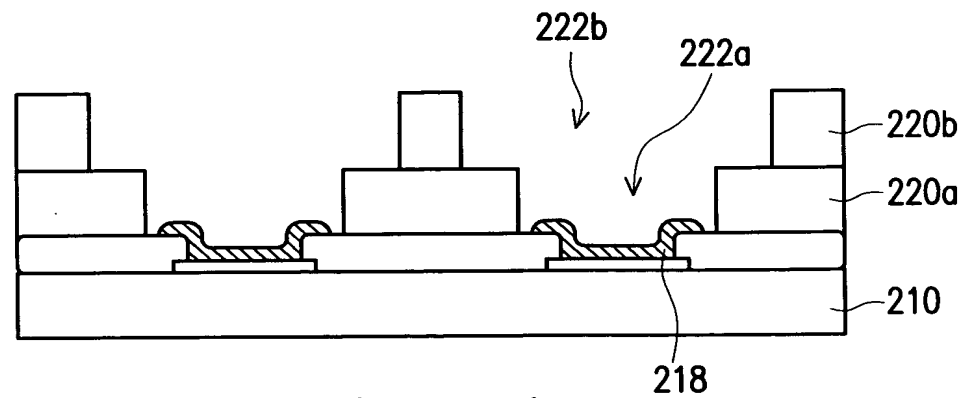




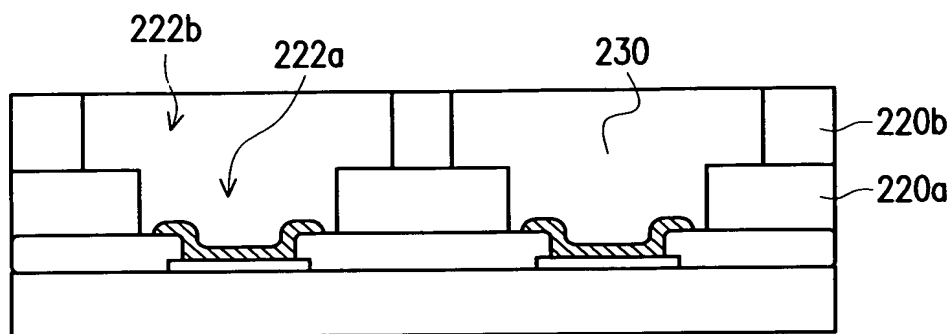
第 3A 圖



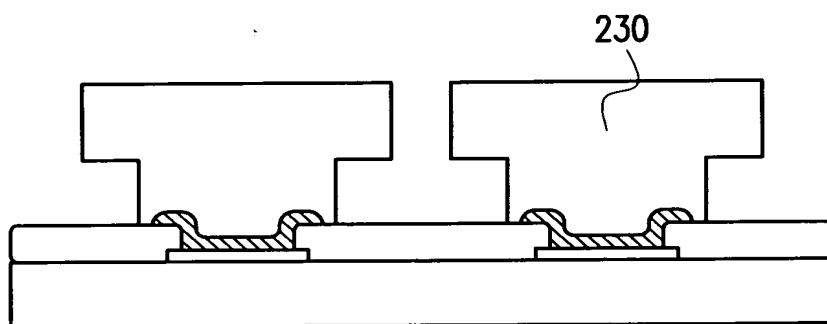
第 3B 圖



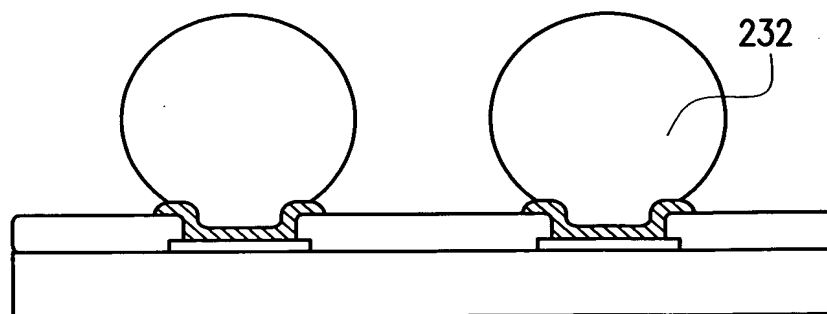
第 3C 圖



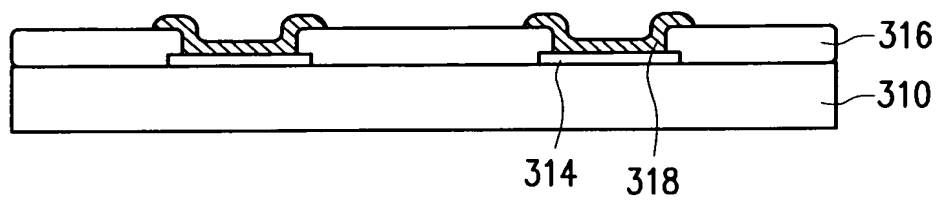
第 3D 圖



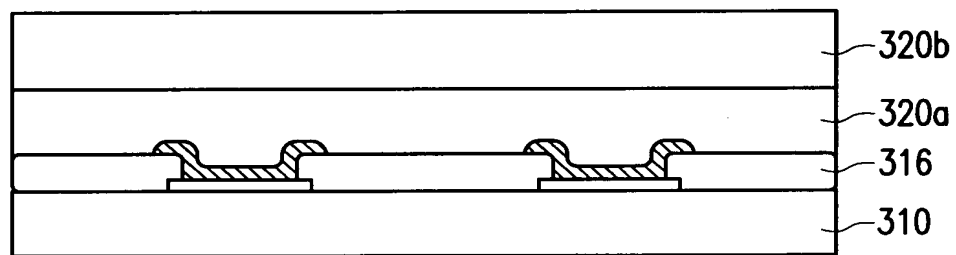
第 3E 圖



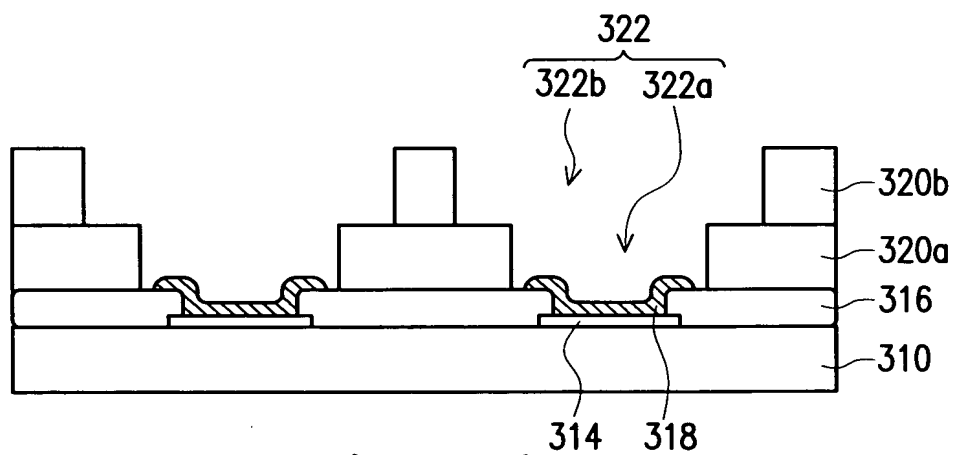
第 3F 圖



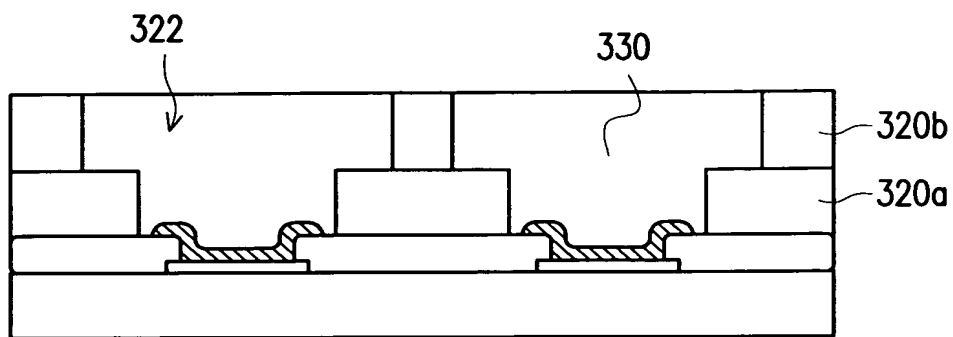
第 4A 圖



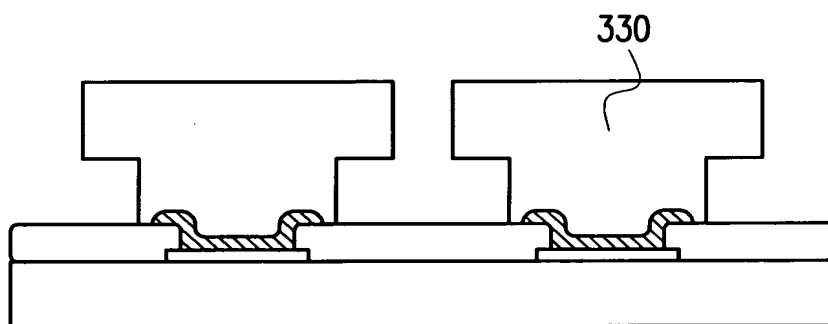
第 4B 圖



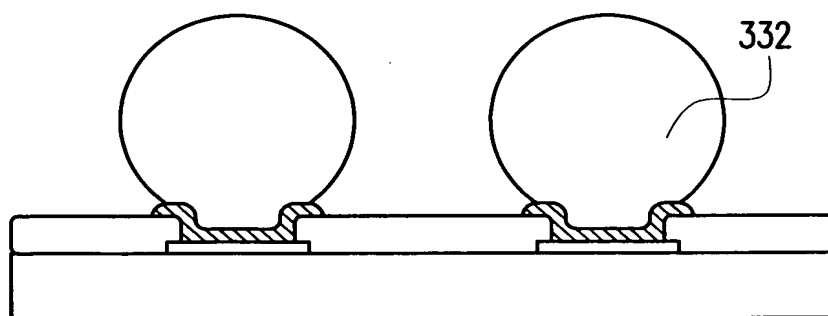
第 4C 圖



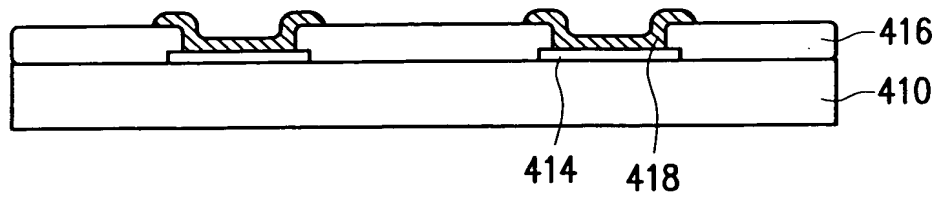
第 4D 圖



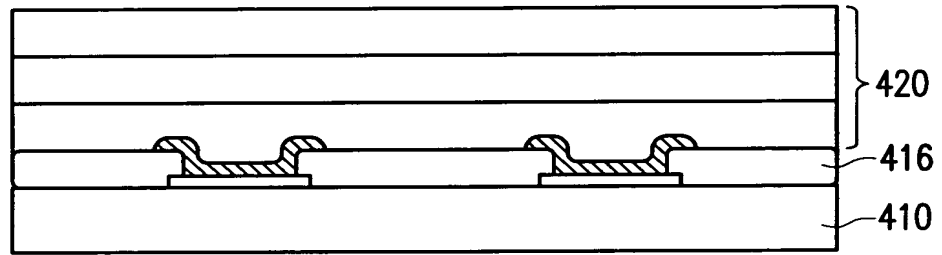
第 4E 圖



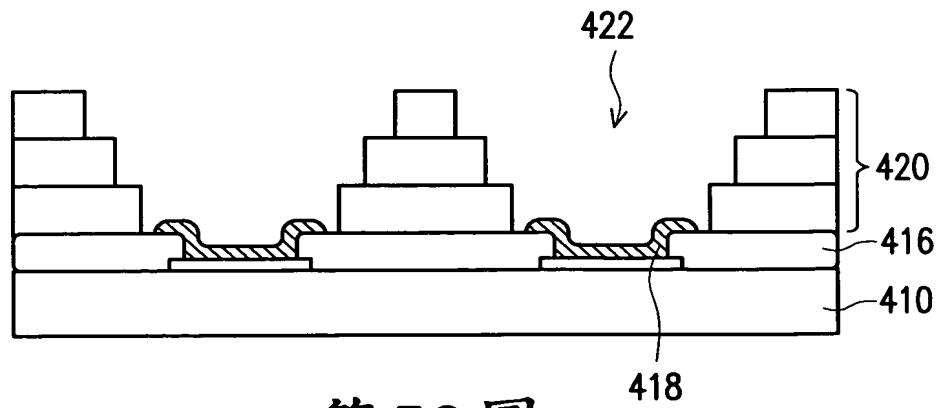
第 4F 圖



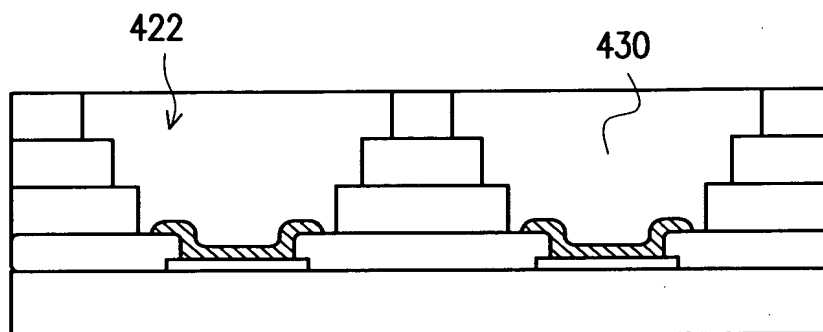
第 5A 圖



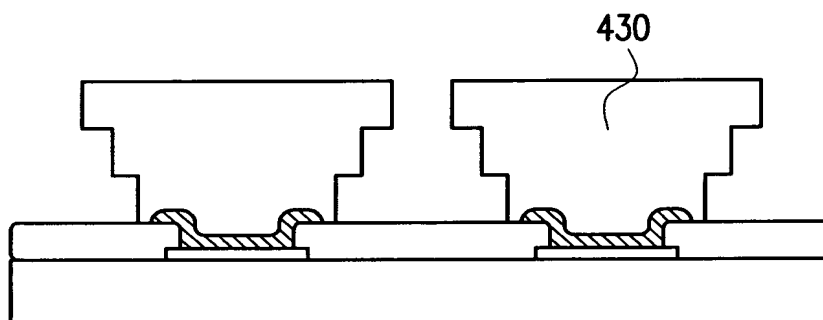
第 5B 圖



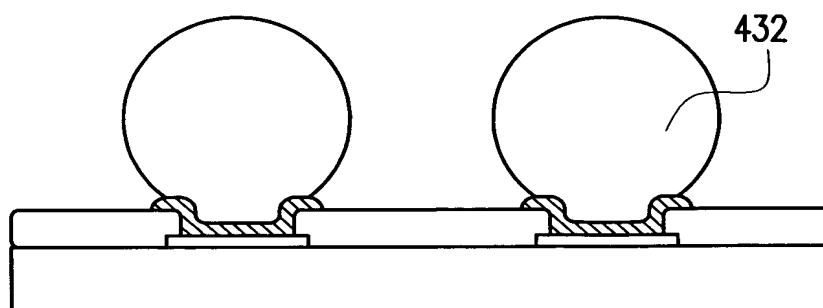
第 5C 圖



第5D圖

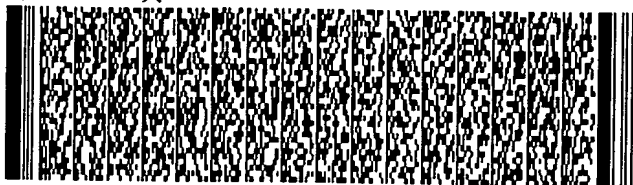


第5E圖

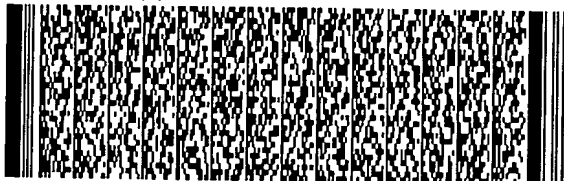


第5F圖

第 1/20 頁



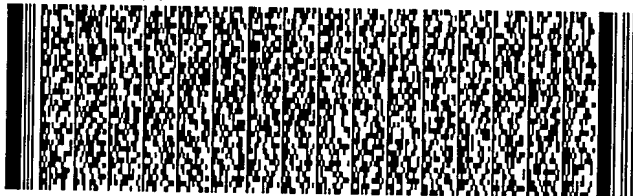
第 2/20 頁



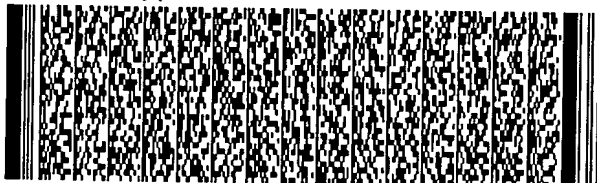
第 4/20 頁



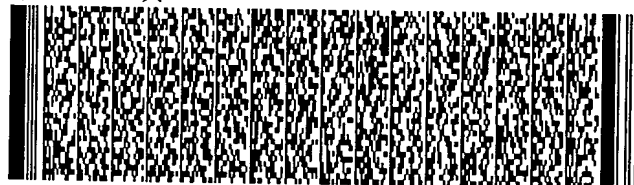
第 6/20 頁



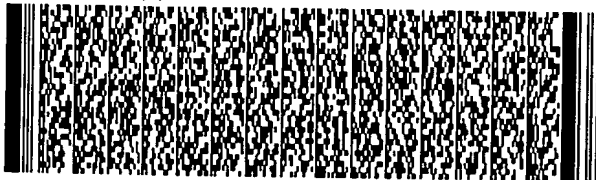
第 7/20 頁



第 8/20 頁



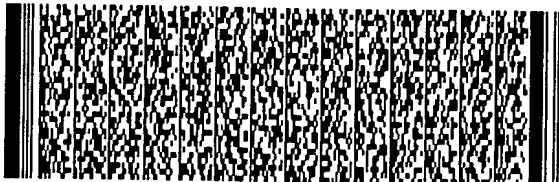
第 9/20 頁



第 10/20 頁



第 2/20 頁



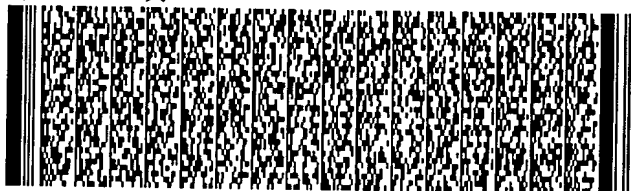
第 3/20 頁



第 5/20 頁



第 6/20 頁



第 7/20 頁



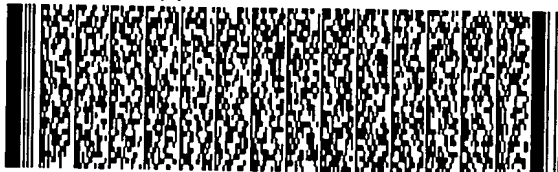
第 8/20 頁



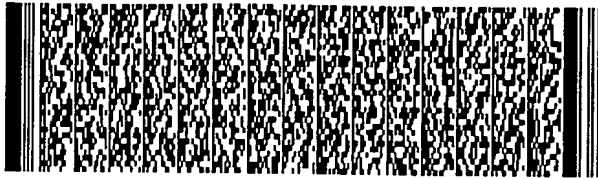
第 9/20 頁



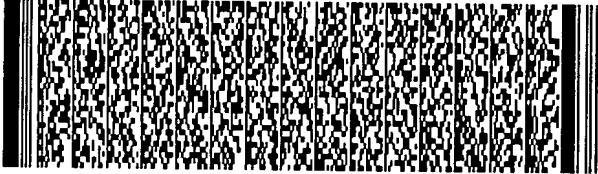
第 10/20 頁



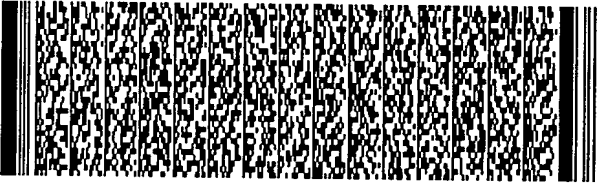
第 11/20 頁



第 12/20 頁



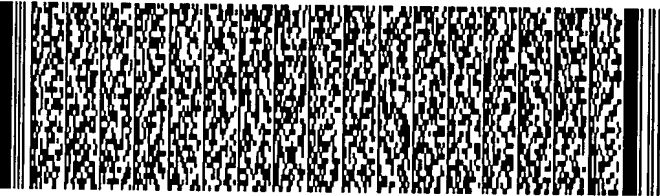
第 13/20 頁



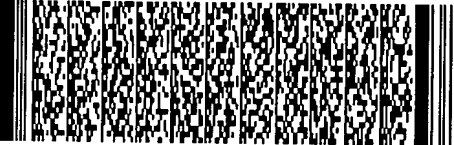
第 14/20 頁



第 15/20 頁



第 17/20 頁



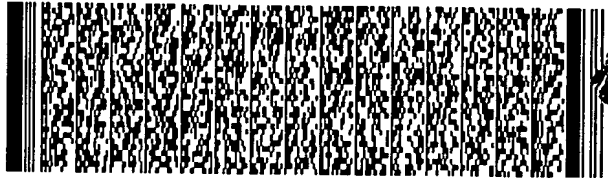
第 18/20 頁



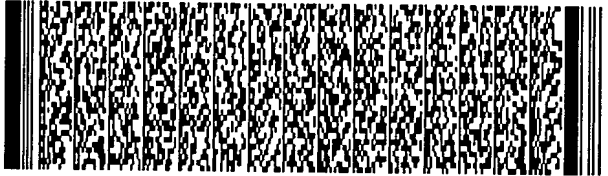
第 20/20 頁



第 11/20 頁



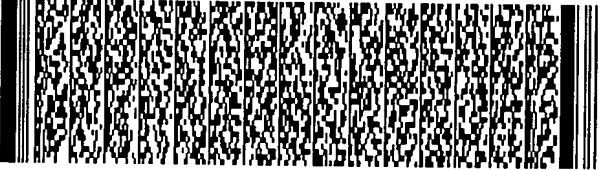
第 12/20 頁



第 13/20 頁



第 14/20 頁



第 16/20 頁



第 18/20 頁



第 19/20 頁

